

J.W. PRICE
(714) 261-8433

NAKI-AN73
MASATO SUZUKI et al



日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

1993.5.26

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日

Date of Application:

1993年10月 1日

願番号

Application Number:

平成 5年特許願第247154号

願人

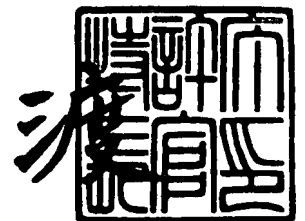
Applicant(s):

松下電器産業株式会社

1994年 3月11日

特許庁長官
Commissioner,
Patent Office

麻生



出証番号 出証特平06-3008687

【書類名】 特許願

【整理番号】 2030452351

【提出日】 平成 5年10月 1日

【あて先】 特許庁長官 麻 生 渡 殿

【国際特許分類】 G06F 9/312

【発明の名称】 データ処理装置

【請求項の数】 4

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 宮地 信哉

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 鈴木 正人

【発明者】

 【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

 【氏名】 神山 祐史

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

 【代表者】 森下 洋一

【代理人】

 【識別番号】 100090446

 【弁理士】

 【氏名又は名称】 中島 司朗

【手数料の表示】

 【納付方法】 予納

【予納台帳番号】 014823

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003742

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項1】 プログラムの命令に従ってデータを処理するデータ処理装置であって、

ビット幅が同じで種類が異なる複数のレジスタ群からなるレジスタ部と、

命令を解釈し、データ転送命令のオペランドで指定されたレジスタを指示するレジスタ情報を出力する命令解釈手段と、

レジスタ情報が示すレジスタが属するレジスタ群に対応して、転送すべきビット幅を示すビット幅情報を出力する外部アクセス幅制御手段と、

前記レジスタ情報及びビット幅情報に従って、レジスタと外部装置との間のデータ転送を実行する外部アクセス実行手段とを備えたことを特徴とするデータ処理装置。

【請求項2】

前記レジスタ部は、アドレスレジスタ群とデータレジスタ群との少なくとも2つからなる

ことを特徴とする請求項1記載のデータ処理装置。

【請求項3】

前記外部アクセス幅制御手段は、レジスタ情報がデータレジスタを示しているときは、プログラムで用いられるデータの有効ビット幅に応じて決まるビット幅をビット幅情報とし、レジスタ情報がアドレスレジスタを示しているときは、プログラムが必要とするメモリ空間に応じて決まるビット幅をビット幅情報として出力する

ことを特徴とする請求項2記載のデータ処理装置。

【請求項4】

前記レジスタ部は、共に24ビット以上のアドレスレジスタ群とデータレジスタ群との2つからなり、

前記命令解釈手段は、レジスタ情報としてアドレスレジスタとデータレジスタのどちらであるかを示す情報を出力し、

前記外部アクセス幅制御手段は、レジスタ情報がアドレスレジスタを示しているときは、24ビットをビット幅情報とし、レジスタ情報がデータレジスタを示しているときは、16ビットをビット幅情報として出力し、

前記外部アクセス実行手段は、8ビット幅の外部装置に対して、ビット幅情報が24ビットであるときは3回のデータ転送を実行し、ビット幅情報が16ビットであるときは2回のデータ転送を実行し、16ビット幅の外部装置に対して、ビット幅情報が24ビットであるときは2回のデータ転送を実行し、ビット幅情報が16ビットであるときは1回のデータ転送を実行することを特徴とする請求項1記載のデータ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、種類が異なる複数のレジスタ群を有し、プログラムに従ってデータを処理するデータ処理装置に関する。

【0002】

【従来の技術】

近年、アプリケーションの複雑化に伴うプログラム／データサイズの増大が問題となってきた。マイクロコンピュータ等のデータ処理装置においては、処理能力の向上や高機能化の要求に従って、16ビットあるいは32ビットCPUを備えたものが出現しているが、これらのデータ処理装置では、アドレスレジスタ・データレジスタのような使用目的別に複数のレジスタ群を備えたものがある。

【0003】

アドレスレジスタとデータレジスタの複数のレジスタ群を備えたデータ処理装置の従来例としてM68000 8/16/32 MICROPROCESSORS USER MANUALに記載されたデータ処理装置を説明する。

図5は、従来のデータ処理装置の構成を示すブロック図である。同図において、501はアドレスレジスタ・データレジスタの2種類のレジスタ群からなるレジスタ部、502は命令を解釈する命令解釈部、503は外部記憶装置、504

は外部記憶装置との間で指定されたビット幅のデータの入出力を行なう外部アクセス実行部である。なお、本従来例が対象とするアプリケーションのアドレス空間は24ビット以内、データのビット幅は16ビットであるとする。

【0004】

図6は、上記データ処理装置におけるレジスタから外部記憶装置へデータを転送する転送命令の命令フォーマットを示す。同図において、「OP」は命令の種類を示すオペレーションフィールドでここでは転送命令(MOVE)を示す、「SIZE」は転送するビット幅を示すサイズフィールド、「SRC」は転送元のレジスタ資源を示すソースフィールド、「DEST」は転送先の外部記憶資源を示すデスティネーションフィールドである。

【0005】

以上のように構成されたデータ処理装置においてレジスタから外部記憶装置へデータを転送する動作を例にとって説明する。

図6に示した転送命令が命令解読部502で解読され、オペレーションフィールド(OP)から処理がレジスタから外部記憶装置への転送(MOVE)であり、サイズフィールド(SIZE)から転送データのビット幅が32ビットであり、ソースフィールド(SRC)から転送元のレジスタがA1であり、デスティネーションフィールド(DEST)から転送先の外部記憶装置のアドレス(@A2)が判別される。外部アクセス実行部504は、命令解読部502よりレジスタ情報505及びビット幅情報506を入力すると、指定された32ビットのビット幅でレジスタ部501のレジスタの内容A1(507)を外部記憶装置503に書き込む(508)。

【0006】

【発明が解決しようとする課題】

しかしながら従来のデータ処理装置においては、全ての転送命令にサイズフィールドが必要となるため、命令コードが長くなりコードサイズの増加をもたらし、サイズフィールドの解読機構が必要になるという問題があった。

また、転送のビット幅は、32・16・8ビットのいずれかをサイズフィールドで指定する為、アプリケーションのプログラムサイズに必要なアドレスが24

ビット以内の場合でもアドレスレジスタの転送には32ビット転送が行なわれることになるので、実行速度が低下するという問題があった。具体的には、外部装置とのデータ転送に32ビットを指定したとき、外部装置が8ビット幅である場合には、8ビットずつデータを4回に分けて行うことになるため、1回分の転送が余分に行われるので、その分実行速度が低下していた。また、16ビットデータを転送する場合は、サイズフィールドが16に指定されていれば高速性に問題はないが、コンパイラによってはプログラム上の有効なデータ幅を正しく認識できないため、16ビットデータの転送であるにもかかわらず、サイズフィールドを32に指定してしまう。この場合には、外部の8ビット記憶装置と4回転送するうち2回は無駄な転送をすることになる。

【0007】

上記の課題に鑑み本発明は、プログラムサイズを小さくし、データ転送の高速化を実現するデータ処理装置を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記の課題を解決するため本発明のデータ処理装置は、プログラムの命令に従ってデータを処理するデータ処理装置であって、

ビット幅が同じで種類が異なる複数のレジスタ群からなるレジスタ部と、

命令を解読し、データ転送命令のオペランドで指定されたレジスタを指示するレジスタ情報を出力する命令解読手段と、

レジスタ情報が示すレジスタが属するレジスタ群に対応して、転送すべきビット幅を示すビット幅情報を出力する外部アクセス幅制御手段と、

前記レジスタ情報及びビット幅情報に従って、レジスタと外部装置との間のデータ転送を実行する外部アクセス実行手段とを備えている。

【0009】

また、前記レジスタ部は、アドレスレジスタ群とデータレジスタ群との少なくとも2つからなっている。

また、前記外部アクセス幅制御手段は、レジスタ情報がデータレジスタを示し

ているときは、プログラムで用いられるデータの有効ビット幅に応じて決まるビット幅をビット幅情報として出力し、レジスタ情報がアドレスレジスタを示しているときは、プログラムが必要とするメモリ空間に応じて決まるビット幅をビット幅情報として出力するように構成されていてもよい。

【0010】

また、前記レジスタ部は、共に24ビット以上のアドレスレジスタ群とデータレジスタ群との2つからなり、

前記命令解読手段は、レジスタ情報としてアドレスレジスタとデータレジスタのどちらであるかを示す情報を出力し、

前記外部アクセス幅制御手段は、レジスタ情報がアドレスレジスタを示しているときは、24ビットをビット幅情報とし、レジスタ情報がデータレジスタを示しているときは、16ビットをビット幅情報として出力し、

前記外部アクセス実行手段は、8ビット幅の外部装置に対して、ビット幅情報が24ビットであるときは3回のデータ転送を実行し、ビット幅情報が16ビットであるときは2回のデータ転送を実行し、16ビット幅の外部装置に対して、ビット幅情報が24ビットであるときは2回のデータ転送を実行し、ビット幅情報が16ビットであるときは1回のデータ転送を実行するように構成されていてもよい。

【0011】

【作用】

上記した構成により本発明のデータ処理装置では、外部アクセス幅制御手段は、命令解読手段から入力されるレジスタ情報に基づいて、そのレジスタ情報が示すレジスタが属するレジスタ群に対応して、転送すべきビット幅を示すビット幅情報を出力する。外部アクセス実行手段は、命令解読手段からのレジスタ情報及び外部アクセス幅制御手段からのビット幅情報に従って、レジスタと外部装置との間のデータ転送を実行する。

【0012】

【実施例】

以下、本発明の実施例におけるデータ処理装置の一実施例を図面を用いて説明する。

図1は本発明の一実施例におけるデータ処理装置の概略構成図である。同図において、301は、アドレスレジスタとデータレジスタの2つのレジスタ群を格納するレジスタ部、

302は、命令を解読しオペランドとなるレジスタを決定するとレジスタ情報303を出力する命令解読部、

304は、レジスタ情報303が入力され、レジスタの属するレジスタ群毎に決められたビット幅情報305を出力する外部アクセス幅制御部、

306は、ビット幅情報305及びレジスタ情報303に従ってレジスタ部301のレジスタと外部記憶装置307との間のデータ転送を、外部記憶装置307のビット幅に合わせて実行する外部アクセス実行部である。

【0013】

外部記憶装置307は、外部の記憶装置で本実施例では、8ビット幅のメモリとする。

図2は、図1に示したデータ処理装置の詳細な構成を示すブロック図である。同図において、図1と同じ構成部分は同じ符号を付けている。

レジスタ部301は、アドレスレジスタ群301a、入力バッファゲート301b、出力バッファゲート301c、データレジスタ群301d、入力バッファゲート301e、出力バッファゲート301f、デコーダ301g、デコーダ301hから構成されている。

【0014】

アドレスレジスタ群301aは、8本の32ビット長のデータレジスタを備え、外部アクセス実行部306から入力バッファゲート301bを介して入力されるデータを、デコーダ301gにより指定されたレジスタに保持し、また、デコーダ301hにより指定されたレジスタのデータを出力バッファゲート301cを介して出力する。

【0015】

データレジスタ群301dは、8本の32ビット長のアドレスレジスタを備え

、外部アクセス実行部306から入力バッファゲート301eを介して入力されるデータを、デコーダ301gにより指定されたレジスタに保持し、また、デコーダ301hにより指定されたレジスタのデータを出力バッファゲート301fを介して出力する。

【0016】

デコーダ301gは、命令解読部302からデスティネーションレジスタのタイプ(DT)及びそのレジスタ番号(DN)が入力され、それらに従って、書き込むべきレジスタを選択し、バッファゲート301b、eのゲート制御信号を出力する。

デコーダ301hは、命令解読部302からソースレジスタのタイプ(ST)及びレジスタ番号(SN)、又はデスティネーションレジスタのタイプ(DT)及びレジスタ番号(DN)が入力され、それらの指示に従って、読み出すべきレジスタを選択してバッファゲート301c、fの各ゲート制御信号を出力する。

【0017】

命令解読部302は、命令を解読し、各命令に応じた制御信号を出力する。転送命令を解読した場合は、ソースレジスタがアドレスレジスタであるかデータレジスタであるかを示すソースタイプ(ST)、ソースに指定されているレジスタ番号(SN)、デスティネーションレジスタがアドレスレジスタであるかデータレジスタであるかを示すデスティネーションタイプ(DT)、及びデスティネーションに指定されているレジスタ番号(DN)を出力する。前記DT及びDNは前記デコーダ301gに入力され、DT、DNとST、SNはセクタ302aを介してどちらか一方がデコーダ301hに出力される。同時に、転送すべきデータ（またはアドレス）の読み出し元又は格納先となるレジスタのタイプをレジスタ情報としてセクタ302bを介して外部アクセス幅制御部304に出力するとともに、外部アクセス実行部306に起動信号を出力する。

【0018】

外部アクセス幅制御部304は、レジスタ情報として転送命令の対象となっているレジスタタイプ示す信号が入力され、そのレジスタタイプがアドレスレジスタであれば24ビット幅の転送を指示するビット幅情報を、データレジスタであれば16ビット幅の転送を指示するビット幅情報を出力する。本実施例では、レ

ジスタ情報303は1ビットの信号で”1”でアドレスレジスタ、”0”でデータレジスタを示し、これに対応してビット幅情報も1ビットの信号で”1”で24ビット幅、”0”で16ビット幅の転送を指示するものとする。このビット幅情報は、アプリケーションのプログラムサイズに応じてアドレスレジスタの有効ビット幅として32ビットアドレス、24ビットアドレス、16ビットアドレスの何れが必要かに応じて、また、アプリケーションが扱うデータが16ビットデータか32ビットデータに応じて任意に設定し得る。本実施例では、対象とするアプリケーションが占めるアドレス空間は24ビット以内、有効なデータのビット幅は16ビットであるものとする。これに対応して、外部アクセス幅制御部は、レジスタタイプがアドレスレジスタであれば転送のビット幅を24ビット、データレジスタであれば転送のビット幅を16ビットとしている。

【0019】

外部アクセス実行部306は、ロードバッファ306a、入力バッファゲート群306b、ストアバッファ306c、セクタ306d、アドレスバッファ306e、セクタ306f、インクリメンタ306g、出力バッファゲート306h、シーケンサ306iを備えて構成される。

ロードバッファ306aは、外部記憶装置307から入力バッファゲート群306bを介して複数回入力される8ビットデータを保持し、レジスタ部301に出力する。

【0020】

ストアバッファ306cは、レジスタ部301から入力されるデータを保持し、セクタ306dを介して外部記憶装置307に8ビットずつデータを出力する。

アドレスバッファ306eは、レジスタ部301からセクタ306fを介して入力されるアクセスすべきアドレスを保持し、出力バッファゲート306hを介して外部記憶装置307に出力する。出力バッファゲート306hから出力されるアドレスは、インクリメンタ306gによりインクリメントされてセクタ306fを介して再度アドレスバッファ306eに入力される。

【0021】

シーケンサ306iは、外部アクセス幅制御部304からのビット幅情報に従って、外部記憶装置307に対するロード／ストア命令の実行を制御する。具体的には、ビット幅情報が24ビット幅を指示しているときは、8ビットデータのロード／ストアを3回に分けて実行するよう制御し、ビット幅情報が16ビット幅を指示しているときは、8ビットデータのロード／ストアを2回に分けて実行するよう制御する。

【0022】

図3、図4は、上記データ処置装置における転送命令の命令フォーマットの説明図である。

図3の命令フォーマットは例えば(MOVE D1,@A2)のようにデータレジスタからメモリにデータを転送する転送命令、図4の命令フォーマットは例えば(MOVE A1,@A2)のようにアドレスレジスタからメモリにデータを転送する転送命令を示している。「OP」は命令の処理の種類を表すオペランドフィールド、「SRC」は転送元レジスタを示すソースフィールド、「DEST」は転送先のメモリを示すデスティネーションフィールドを有している。上記の命令において、MOVEは転送命令を示し、D1はデータレジスタを、A1,A2はアドレスレジスタを、@A2はアドレスレジスタA2が示す外部記憶装置の番地を示す。本実施例では、SRC、DESTフィールドを各3ビットとする。そして転送命令MOVEは、SRC、DESTで指定されるレジスタがアドレスレジスタ／データレジスタのどちらであるかを区別するために複数のOPが用意されている。これはSRC、DESTフィールドのビット数をさらに削減するためである。

【0023】

以上のように構成された本発明の実施例におけるデータ処理装置について、その動作を図3、4に示した転送命令を例にとって説明する。

図3に示した転送命令は、レジスタD1のデータをアドレスレジスタA2が示すアドレスの外部記憶装置307に転送する命令である。

(1) 命令解読部302は、図3の命令を解読することにより、オペレーションフィールド(OP)からデータレジスタのメモリへの転送命令(MOVE)であり、ソースフィールド(SRC)から転送元レジスタがD1、デスティネーションフィールド(

DEST)から転送先のメモリ(@A2)が判別される。解釈の結果、ソースタイプSTを"0",ソースレジスタ番号SNを"001"、デスティネーションタイプを"1"、デスティネーションレジスタ番号を"010"にして出力し、外部アクセス実行部306に起動信号を出力する。同時にセクタ302bはレジスタ情報303を"0"にして出力する。

【0024】

(2) レジスタ部301において、ST="0"、SN="001"で指定されるデータレジスタD1のデータが32ビット幅で読み出され出力バッファゲート301fから出力される。出力バッファゲート301fからのデータは、外部アクセス実行部306においてストアバッファ306cに保持される。次に、DT="1"、DN="010"で指定されるアドレスレジスタA2のデータが32ビット幅で読み出され出力バッファゲート301cから出力される。出力バッファゲート301cからのデータは、外部アクセス実行部306においてセクタ306fを介してアドレスバッファ306eに保持される。

【0025】

(3) 一方、外部アクセス幅制御部304は、レジスタ情報303を受け取ると、"0"であることから転送対象となるレジスタがデータレジスタ群に属すると判断し、ビット幅情報を16ビットであることを示す"0"にして外部アクセス実行部306に出力する。

(4) 外部アクセス実行部306は、起動信号が入力されるとビット幅情報305が"0"であることから、16ビットのデータを8ビットずつ2回に分けて外部記憶装置307に次のようにして転送する。

【0026】

シーケンサ306iは、(2)で保持されたアドレスバッファ306eのデータを出力バッファゲート306hを介してアドレスとして出力し、(2)で保持されたストアバッファ306cのデータのうち、第1バイト(最下位のバイト)をセクタ306dにより選択して出力する。そして、外部記憶装置307への書込みに必要な制御信号を出力し、セクタ306dからの出力された第1バイトのデータを外部記憶装置307に書き込む。

【0027】

第1バイトの書込みが終わると、シーケンサ306iは、セクタ306fにインクリメンタ306gの出力を選択させて、アドレスバッファ306eに保持させる。これにより、アドレスバッファ306eの内容が次のアドレスを示すようになる。

次に、シーケンサ306iは、アドレスバッファ306eのデータを出力バッファゲート306hを介してアドレスとして出力し、(2)で保持されたストアバッファ306cのデータのうち、第2バイト(第1バイトの上位バイト)をセクタ306dにより選択して出力する。そして、外部記憶装置307への書込みに必要な制御信号を出力し、セクタ306dからの出力された第2バイトのデータを外部記憶装置307に書き込む。これで、図3に示した転送命令の実行が終了する。

【0028】

図4に示した転送命令は、アドレスレジスタA1のデータをアドレスレジスタA2が示すアドレスの外部記憶装置307に転送する命令である。

(1) 命令解読部302は、図3の命令を解読することにより、オペレーションフィールド(OP)からデータレジスタのメモリへの転送命令(MOVE)であり、ソースフィールド(SRC)から転送元レジスタがA1、デスティネーションフィールド(DEST)から転送先のメモリ(@A2)が判別される。解読の結果、ソースタイプSTを"1", ソースレジスタ番号SNを"001", デスティネーションタイプを"1", デスティネーションレジスタ番号を"010"にして出力し、外部アクセス実行部306に起動信号を出力する。同時にセクタ302bはレジスタ情報303を"1"にして出力する。

【0029】

(2) レジスタ部301において、ST="1", SN="001"で指定されるアドレスレジスタA1のデータが32ビット幅で読み出され出力バッファゲート301cから出力される。出力バッファゲート301cからのデータは、外部アクセス実行部306においてストアバッファ306cに保持される。次に、DT="1", DN="010"で指定されるアドレスレジスタA2のデータが32ビット幅で読み出され出力バッ

ファゲート301fから出力される。出力バッファゲート301fからのデータは、外部アクセス実行部306においてセクタ306fを介してアドレスバッファ306eに保持される。

【0030】

(3) 一方、外部アクセス幅制御部304は、レジスタ情報303を受け取ると、“1”であることから転送対象となるレジスタがアドレスレジスタ群に属すると判断し、ビット幅情報を24ビットであることを示す“1”にして外部アクセス実行部306に出力する。

(4) 外部アクセス実行部306は、起動信号が入力されるとビット幅情報305が“1”であることから、24ビットのデータを8ビットずつ3回に分けて外部記憶装置307に次のようにして転送する。

【0031】

シーケンサ306iは、(2)で保持されたアドレスバッファ306eのデータを出力バッファゲート306hを介してアドレスとして出力し、(2)で保持されたストアバッファ306cのデータのうち、第1バイト(最下位のバイト)をセクタ306dにより選択して出力する。そして、外部記憶装置307への書込みに必要な制御信号を出力し、セクタ306dからの出力された第1バイトのデータを外部記憶装置307に書き込む。

【0032】

第1バイトの書込みが終わると、シーケンサ306iは、セクタ306fにインクリメンタ306gの出力を選択させて、アドレスバッファ306eに保持させる。これにより、アドレスバッファ306eの内容が次のアドレスを示すようになる。

次に、シーケンサ306iは、アドレスバッファ306eのデータを出力バッファゲート306hを介してアドレスとして出力し、(2)で保持されたストアバッファ306cのデータのうち、第2バイト(第1バイトの上位バイト)をセクタ306dにより選択して出力する。そして、外部記憶装置307への書込みに必要な制御信号を出力し、セクタ306dからの出力された第2バイトのデータを外部記憶装置307に書き込む。

【0033】

第2バイトの書込みが終わると、シーケンサ306iは、セクタ306fにインクリメンタ306gの出力を選択させて、アドレスバッファ306eに保持させる。これにより、アドレスバッファ306eの内容が次のアドレスを示すようになる。

次に、シーケンサ306iは、アドレスバッファ306eのデータを出力バッファゲート306hを介してアドレスとして出力し、(2)で保持されたストアバッファ306cのデータのうち、第3バイト(第2バイトの上位バイト)をセクタ306dにより選択して出力する。そして、外部記憶装置307への書込みに必要な制御信号を出力し、セクタ306dからの出力された第3バイトのデータを外部記憶装置307に書き込む。これで、図4に示した転送命令の実行が終了する。

【0034】

上記のように本実施例においては、対象とするアプリケーションの必要とするビット幅として、アドレスレジスタの転送は24ビット、データレジスタの転送は16ビットと設定することにより、命令中のサイズフィールドが不要となり、命令長が短くなるためコードサイズの減少、及びサイズフィールドの解読機構の省略を図ることができる。

【0035】

さらに、実装するレジスタのビット幅にかかわらず、外部記憶装置との間で必要最小限の転送を行なうことにより、不要なデータの転送を抑制し、データサイズの減少、実行速度の向上を図ることができるという効果がある。

なお、本実施例では、アドレスレジスタ・データレジスタのビット幅を32ビット、外部アクセス幅制御部に決められたアドレスレジスタ・データレジスタのビット幅を、24・16ビットとしたがこれらは任意でも構わないし、また転送先の外部記憶装置をレジスタにより指定したが(@A2)他の方法で指定しても構わないし、転送命令としてレジスタからメモリへの転送を例にあげたが、レジスタと外界との双方向の転送どちらで構わない。

【0036】

また、レジスタタイプを示すST、DT、及びビット幅情報は、それぞれ1ビットの信号であるが、レジスタタイプの種類や転送ビット幅の数に応じて複数のビットで表すようにしてもよい。

また、外部アクセス実行部306は、外部記憶装置307に対して最下位バイトから順に8ビットずつ転送するようにしているが、上位バイトから順に転送するようにしてもよい。その場合、シーケンサ306iがセクタ306dに上位バイトから選択するように制御し、インクリメンタ306gが-1ずつインクリメントするようにすればよい。

【0037】

【発明の効果】

以上説明してきたように本発明のデータ処理装置によれば、対象レジスタの選択と同時に転送のビット幅を決定する外部アクセス幅制御部を設けることにより、命令中のサイズフィールドが不要になり、命令長が短くなるためコードサイズの減少、及び解読機構の省略を図ることができるということがある。

【0038】

さらに、実装するレジスタのビット幅にかかわらず必要最小限で転送を行なうことにより、不要なデータの転送を抑制することによって実行速度の向上を図ることができるため、その実用的効果は大きい。

【図面の簡単な説明】

【図1】

本発明の実施例におけるデータ処理装置の一実施例の概略構成図

【図2】

同実施例における本発明のデータ処理装置の一実施例の詳細構成図

【図3】

同実施例における転送命令フォーマット説明図

【図4】

同実施例における転送命令フォーマット説明図

【図5】

従来のデータ処理装置の構成図

【図6】

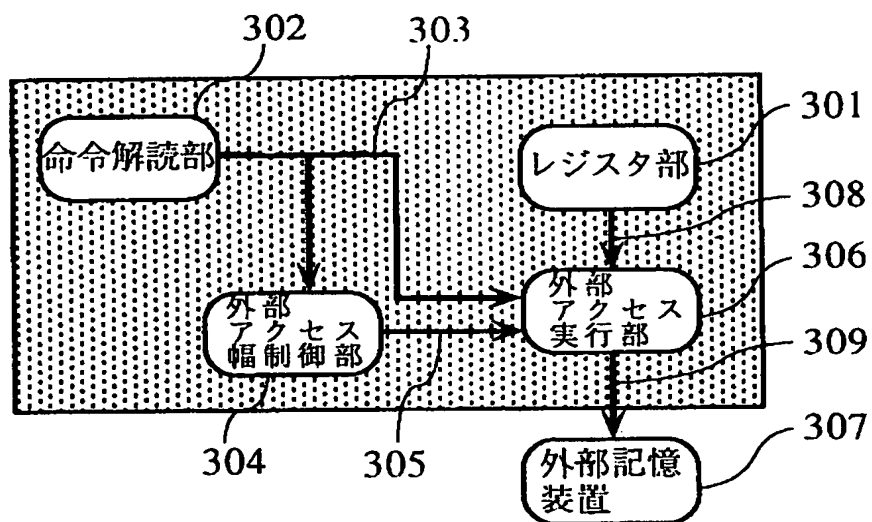
従来のデータ処理装置の命令フォーマット説明図

【符号の説明】

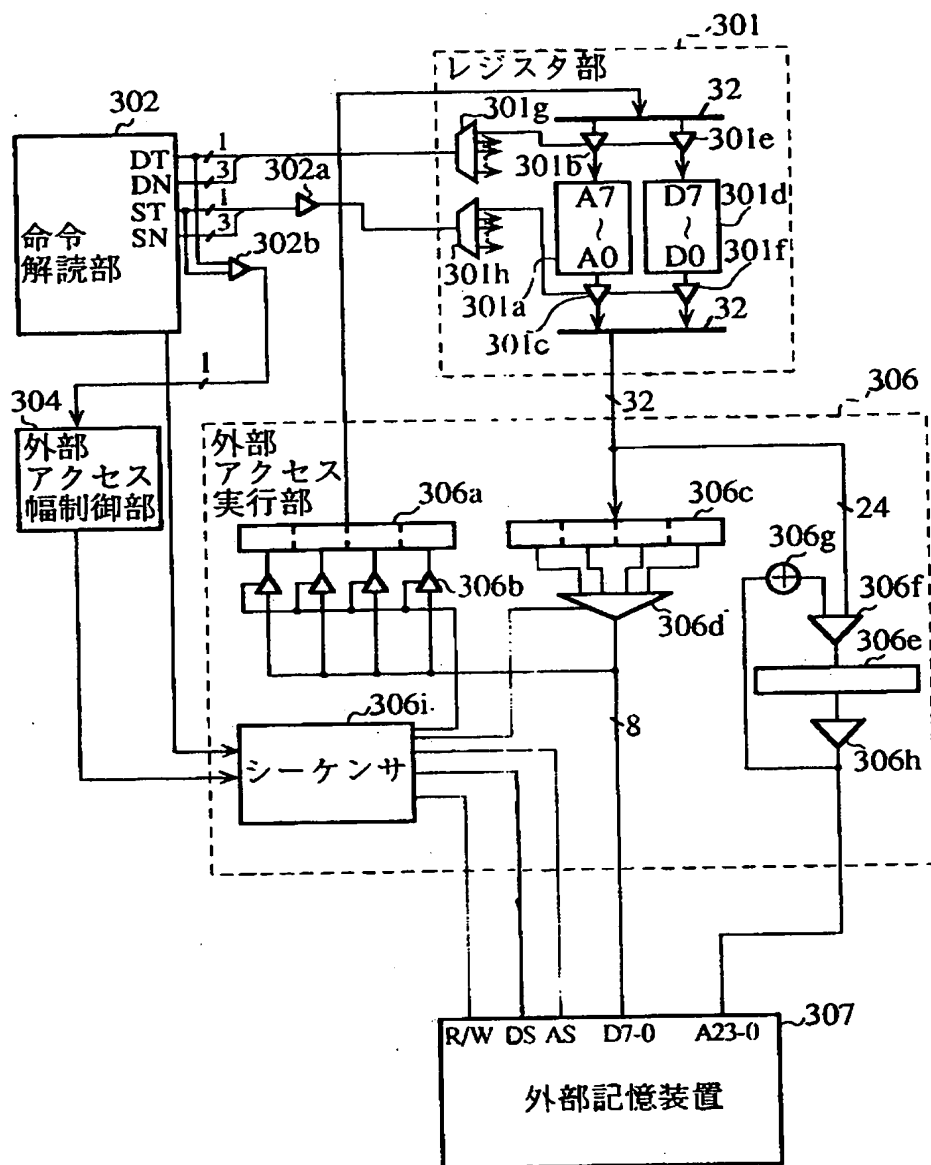
- 301 レジスタ部
 - 301a アドレスレジスタ群
 - 301b 入力バッファゲート
 - 301c 出力バッファゲート
 - 301d データレジスタ群
 - 301e 入力バッファゲート
 - 301f 出力バッファゲート
 - 301g デコーダ
 - 301h デコーダ
- 302 命令解読部
 - 302a セレクタ
 - 302b セレクタ
- 303 レジスタ情報
- 304 外部アクセス幅制御部
- 305 ビット幅情報
- 306 外部アクセス実行部
 - 306a ロードバッファ
 - 306b 入力バッファゲート群
 - 306c ストアバッファ
 - 306d セレクタ
 - 306e アドレスバッファ
 - 306f セレクタ
 - 306g インクリメンタ
 - 306h 出力バッファゲート
 - 306i シーケンサ

【書類名】 図面

【図1】



【図2】



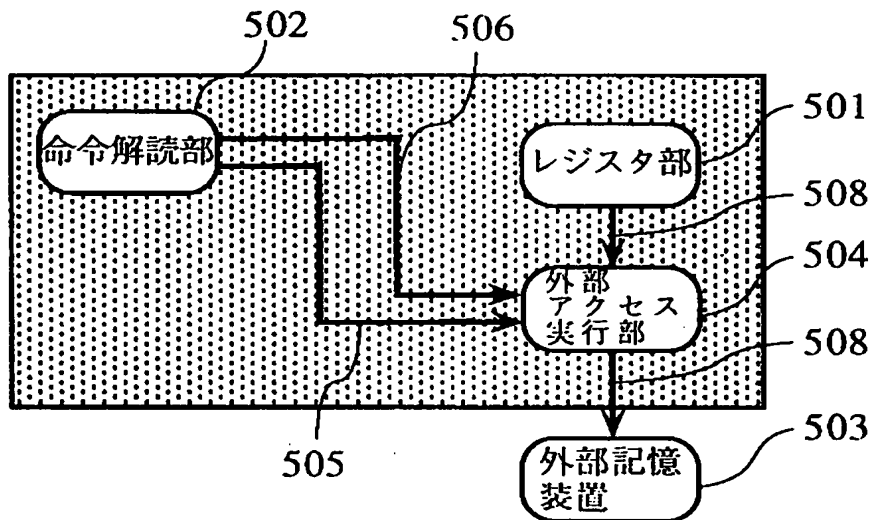
【図3】

OP	SRC	DEST
MOVE	D1	@A2

【図4】

OP	SRC	DEST
MOVE	A1	@A2

【図5】



【図6】

OP	SIZE	SRC	DEST
MOVE	32bit	A1	@A2

【書類名】 要約書

【要約】

【目的】 本発明は、プログラムサイズを小さくし、データ転送の高速化を実現するデータ処理装置を提供することを目的とする。

【構成】 同一のビット幅を有する複数のレジスタ群より構成されるレジスタ部 301 と、命令を解読しオペランドとなるレジスタを決定する命令解読部 302 と、レジスタ情報を入力するとレジスタの属するレジスタ群に対応した転送のビット幅情報を出力する外部アクセス幅制御部 304 と、ビット幅情報とレジスタ情報を入力すると指定したビット幅でレジスタ部のレジスタと外部との入出力を行なう外部アクセス実行部 306 とを備える。これにより、命令のサイズフィールドが不要になり、かつ外部記憶装置に対するアクセスが高速化される。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005821
【住所又は居所】 大阪府門真市大字門真1006番地
【氏名又は名称】 松下電器産業株式会社
【代理人】 申請人
【識別番号】 100090446
【住所又は居所】 大阪府大阪市北区豊崎3丁目2番1号 淀川5番館
5F 中島国際特許事務所
【氏名又は名称】 中島 司朗

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社